



0420
0500

Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

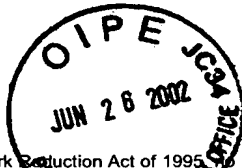
TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/064,211	
	Filing Date	06/21/2002	
	First Named Inventor	Lin-Kai Bu	
	Group Art Unit		
	Examiner Name		
Total Number of Pages in This Submission		Attorney Docket Number	HMOP0003USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	WINSTON HSU
Signature	<i>Winston Hsu</i>
Date	6/24/2002

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (10-01)

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2002

Patent fees are subject to annual revision.

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/064,211
Filing Date	06/21/2002
First Named Inventor	Lin-Kai Bu
Examiner Name	
Group Art Unit	
Attorney Docket No.	HMOP0003USA

METHOD OF PAYMENT

- 1.
- ☐
- The Commissioner is hereby authorized to charge indicated fees and credit any overpayments to:

Deposit Account Number	50-0801
Deposit Account Name	North America International Patent Office

- ☒
- Charge Any Additional Fee Required Under 37 CFR 1.16 and 1.17
-
- ☐
- Applicant claims small entity status. See 37 CFR 1.27

- 2.
- ☐
- Payment Enclosed:

☐ Check ☐ Credit card ☐ Money Order ☐ Other**FEE CALCULATION****1. BASIC FILING FEE**

	Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
101	740	201 370	Utility filing fee	
106	330	206 165	Design filing fee	
107	510	207 255	Plant filing fee	
108	740	208 370	Reissue filing fee	
114	160	214 80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

	Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
103	18	203 9	Claims in excess of 20
102	84	202 42	Independent claims in excess of 3
104	280	204 140	Multiple dependent claim, if not paid
109	84	209 42	** Reissue independent claims over original patent
110	18	210 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

	Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
105	130	205 65	Surcharge - late filing fee or oath	
127	50	227 25	Surcharge - late provisional filing fee or cover sheet	
139	130	139 130	Non-English specification	
147	2,520	147 2,520	For filing a request for <i>ex parte</i> reexamination	
112	920*	112 920*	Requesting publication of SIR prior to Examiner action	
113	1,840*	113 1,840*	Requesting publication of SIR after Examiner action	
115	110	215 55	Extension for reply within first month	
116	400	216 200	Extension for reply within second month	
117	920	217 460	Extension for reply within third month	
118	1,440	218 720	Extension for reply within fourth month	
128	1,960	228 980	Extension for reply within fifth month	
119	320	219 160	Notice of Appeal	
120	320	220 160	Filing a brief in support of an appeal	
121	280	221 140	Request for oral hearing	
138	1,510	138 1,510	Petition to institute a public use proceeding	
140	110	240 55	Petition to revive - unavoidable	
141	1,280	241 640	Petition to revive - unintentional	
142	1,280	242 640	Utility issue fee (or reissue)	
143	460	243 230	Design issue fee	
144	620	244 310	Plant issue fee	
122	130	122 130	Petitions to the Commissioner	
123	50	123 50	Processing fee under 37 CFR 1.17(q)	
126	180	126 180	Submission of Information Disclosure Stmt	
581	40	581 40	Recording each patent assignment per property (times number of properties)	
146	740	246 370	Filing a submission after final rejection (37 CFR § 1.129(a))	
149	740	249 370	For each additional invention to be examined (37 CFR § 1.129(b))	
179	740	279 370	Request for Continued Examination (RCE)	
169	900	169 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	WINSTON HSU	Registration No. (Attorney/Agent)	41,526	Telephone	886-2-8923-7350
Signature	<i>Winston Hsu</i>	Date	6/24/2002		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Please type a plus sign (+) inside this box ☐

PT O/SB02B (3-97)

Approved for use through 9/30/98. OMB 0651-0032

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
090131562	Taiwan, R.O.C.	12/19/2001	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Additional provisional applications:

Application Number	Filing Date (MM/DD/YYYY)

Additional U.S. applications:

U.S. Parent Application Number	PCT Parent Number	Parent Filing Date (MM/DD/YYYY)	Parent Patent Number (if applicable)

Burden Hour Statement This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

#2



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 12 月 19 日
Application Date

申請案號：090131562
Application No.

申請人：奇景光電股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 2 月 25 日
Issue Date

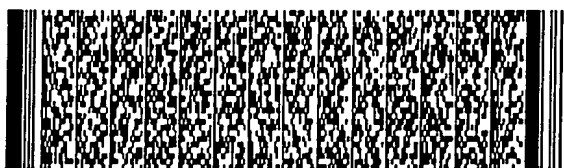
發文字號：09111002927
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	使用A級輸出緩衝器驅動液晶顯示器的方法
	英文	METHOD FOR DRIVING AN LCD WITH A CLASS-A OPERATIONAL AMPLIFIER
二、 發明人	姓名 (中文)	1. 卜令楷
	姓名 (英文)	1. Bu, Lin-Kai
	國籍	1. 中華民國
	住、居所	1. 台南市實踐街一〇三巷二十七弄二十號
三、 申請人	姓名 (名稱) (中文)	1. 奇景光電股份有限公司
	姓名 (名稱) (英文)	1. HiMAX OPTO-ELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台南科學工業園區台南縣奇業路一號
	代表人 姓名 (中文)	1. 許文龍
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：使用A級輸出緩衝器驅動液晶顯示器的方法)

本發明提供一種液晶顯示器之驅動方法，該液晶顯示器包含一正向輸出緩衝器用來以正電壓驅動像素，一負向輸出緩衝器用來以負電壓驅動像素，以及一感測器。該方法包含依據水平同步訊號及極性訊號來判斷下一像素需以那個輸出緩衝器來驅動。若下一像素需以正極性驅動，則以該正向輸出緩衝器驅動該像素；若下一像素需以負極性驅動，則以該負向輸出緩衝器驅動該像素。

英文發明摘要 (發明之名稱：METHOD FOR DRIVING AN LCD WITH A CLASS-A OPERATIONAL AMPLIFIER)

A method for driving an LCD with class-A operational amplifiers. The LCD has a positive operational amplifier for driving pixels with positive voltages, a negative operational amplifier for driving pixels with negative voltages, and a detector. The method includes using the detector to determine which operational amplifier is to be used to drive a next pixel. If the next pixel need be displayed with a positive voltage, then the positive operational amplifier



四、中文發明摘要 (發明之名稱：使用A級輸出緩衝器驅動液晶顯示器的方法)

英文發明摘要 (發明之名稱：METHOD FOR DRIVING AN LCD WITH A CLASS-A OPERATIONAL AMPLIFIER)

is used to drive the next pixel. If the next pixel need be displayed with a negative voltage, then the negative operational amplifier is used to drive the next pixel.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

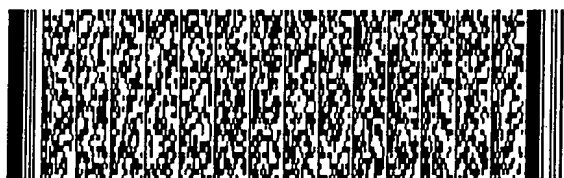
發明之領域

本發明係提供一種驅動液晶顯示器的方法，尤指一種以 A 級輸出緩衝器為架構以應用於雙點反向驅動模式的方法。

背景說明

液晶顯示器具有外型輕薄、耗電量少以及無輻射污染特性，已被廣泛地應用在筆記型電腦 (notebook)、個人數位助理 (PDA) 等攜帶式資訊產品上，甚至已有逐漸取代傳統桌上型電腦的映像管 (cathode ray tube, CRT) 監視器的趨勢。由於液晶分子在不同排列狀態下，對光線具有不同的偏振或折射效果，因此可經由不同排列狀態的液晶分子來控制光線的穿透量，進一步產生不同強度的輸出光線，而液晶顯示器即是利用液晶分子此種特性來產生不同灰階強度的紅、藍、綠光，進一步使液晶顯示器產生豐富的影像。

請參閱圖一，圖一為習知薄膜電晶體 (thin film transistor, TFT) 液晶顯示器 10 的示意圖。液晶顯示器 10 包含一液晶顯示面板 (LCD panel) 12，一控制電路 14，一第一驅動電路 16，一第二驅動電路 18，一第一電壓產生器 20，以及一第二電壓產生器 22。液晶顯示面板 12 係



五、發明說明 (2)

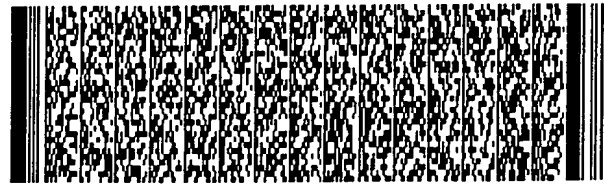
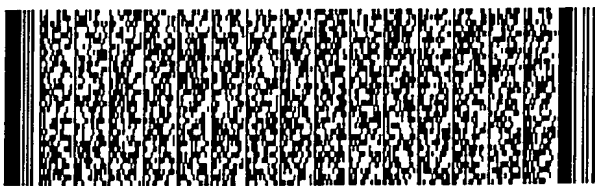
由兩基板 (substrate) 構成，而於兩基板間填充有液晶材料 (LCD layer)。一基板上設置有複數條第一導線 (data line) 24，複數條垂直於第一導線 24 的第二導線 (gate line) 26，以及複數個薄膜電晶體 28，而於另一基板上設置有一共同電極 (common electrode) 用來經由第一電壓產生器 20 提供一固定電壓 (V_{com})。為便於說明，圖一中僅顯示四個薄膜電晶體 28，實際上，液晶顯示面板 12 中每一第一導線 24 與第二導線 26 的交接處 (intersection) 均連接有一薄膜電晶體 28，所以薄膜電晶體 28 係以矩陣 (matrix) 的方式分佈於液晶顯示面板 12 上，即是第一導線 24 對應於薄膜電晶體液晶顯示器 10 的每一列 (column) 而第二導線 26 對應於薄膜電晶體液晶顯示器 10 的每一行 (row)，且每一薄膜電晶體 28 係對應於一像素 (pixel)。此外，液晶顯示面板 12 之兩基板所構成的電路特性可視為一等效電容 30。

習知薄膜電晶體液晶顯示器 10 的驅動原理詳述如下，當控制電路 14 接收到水平同步訊號 (horizontal synchronization) 32 及垂直同步訊號 (vertical synchronization) 34 時，控制電路 14 會產生相對應的控制訊號分別輸入第一驅動電路 16 及第二驅動電路 18，然後第一驅動電路 16 及第二驅動電路 18 會依據該控制訊號而對不同的第一導線 24 及第二導線 26 產生輸入訊號，因而控制薄膜電晶體 28 的導通及等效電容 30 兩端的電位差，並進一

五、發明說明 (3)

步地改變液晶分子的排列以及相對應的光線的穿透量，舉例來說，第二驅動電路 18 對第二導線 26 輸入一脈波使薄膜電晶體 28 導通，因此第一驅動電路 16 所輸入第一導線 24 的訊號可經由薄膜電晶體 28 而輸入等效電容 30，因此達到控制相對應像素之灰階 (gray level) 狀態。此外，第一驅動電路 16 所輸入第一導線 24 的訊號大小係由第二電壓產生器 22 所產生，而不同的電壓位準即對應於不同的灰階大小。

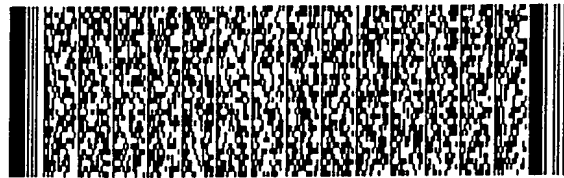
若是一直使用正電壓來不斷地驅動液晶分子則會降低液晶分子對光線的偏振或折射效果，因此會使畫面顯示的品質惡化，同樣地，若是一直使用負電壓來不斷地驅動液晶分子亦會降低液晶分子對光線的偏振或折射效果，因此使畫面顯示的品質惡化。為了保護液晶分子不受驅動電壓的破壞，因此必須使用正負電壓交互的方式來驅動液晶分子。液晶顯示面板 12 除了包含一等效電容 30 外，電路本身還會產生寄生電容 (parasite capacitor)，所以當同樣的影像於液晶顯示面板 12 上顯示過久時，該寄生電容會因為儲存電荷而產生殘影現象 (residual image effect)，更會影響後續畫面的顯示，所以亦必須利用正負電壓交互的方式來驅動液晶分子以改善寄生電容對影像輸出的影響，但是正電壓與負電壓交相變動而驅動像素時，會由於薄膜電晶體 28 本身所形成的電壓偏移量 (offset) 而造成畫面閃爍 (flicker) 的現象，其原因詳述如後。



五、發明說明 (4)

請參閱圖二，圖二為圖一所示之第二電壓產生器 22 的電壓輸出示意圖。第二電壓產生器 22 依據顯示資料 36 而產生不同的電壓來驅動液晶顯示面板 12 上的各個薄膜電晶體 28，如圖二所示之電壓 V_0 、 V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 、 V_7 、 V_8 、 V_9 ，然而當薄膜電晶體 28 導通時，其輸出及輸入兩端電壓之間會由於薄膜電晶體 28 而產生一偏移量 V_d ，因此施加於液晶顯示面板 12 的電壓實際值 V_{20} 、 V_{21} 、 V_{22} 、 V_{23} 、 V_{24} 、 V_{25} 、 V_{26} 、 V_{27} 、 V_{28} 、 V_{29} 會小於電壓理想值 V_0 、 V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 、 V_7 、 V_8 、 V_9 ，如上所述，液晶顯示器 10 係使用正負電壓交互的方式來驅動液晶顯示面板 12 上各個像素，即是說對液晶顯示面板 12 上的像素而言，必須改變第二電壓產生器 22 的電壓輸出以使第二電壓產生器 22 的電壓輸出與第一電壓產生器 20 所提供之固定電壓 (V_{com}) 之間產生正負極性的變化，舉例來說，當顯示資料 36 需以 $V_1 - V_{com}$ 的電壓差來驅動一像素，並使該像素於一段時間內維持相同 $V_1 - V_{com}$ 的電壓差，所以依據正負電壓交互驅動的方式，必須對液晶顯示面板 12 交互地施加正電壓 ($V_1 - V_{com}$) 與負電壓 $-(V_{com} - V_8)$ ，然而，由於薄膜電晶體 28 所產生的偏移量 V_d 影響，所以實際驅動電壓 ($V_{21} - V_{com}$) 會小於 ($V_{com} - V_{28}$)，因此造成該像素產生閃爍的現象。

請參閱圖三 A 至圖六 B，圖三 A 及圖三 B 為習知行反向驅



五、發明說明 (5)

動 (line inversion) 的示意圖，圖四 A 及圖四 B 為習知列反向驅動 (column inversion) 的示意圖，圖五 A 及圖五 B 為習知單點反向驅動 (dot inversion) 的示意圖，而圖六 A 及圖六 B 為習知雙點反向驅動 (two-dot line inversion) 的示意圖。為了解決使用正負電壓交互的方式來驅動液晶分子對輸出畫面的影響，因此於驅動液晶顯示面板 12 時，採用行反向驅動，列反向驅動，單點反向驅動，及雙點反向驅動等方式來改善畫面抖動現象。圖三 A 至圖六 B 中，第一畫面 42 與第二畫面 44 係為連續的兩畫面 (frame)，而第一畫面 42 中像素 46 的極性 (polarity) 與第二畫面 44 中像素 46 的極性係相反的，此外，依據像素 46 間極性排列方式不同而區分為行反向驅動，列反向驅動，單點反向驅動，及雙點反向驅動，如圖三 A 至圖六 B 所示，行反向驅動可以改善畫面上下方向抖動的現象，列反向驅動可以改善畫面左右方向抖動的現象，而單點反向驅動及雙點反向驅動可以同時改善畫面上下方向與左右方向抖動的現象，所以單點反向驅動及雙點反向驅動對於行反向驅動及列反向驅動而言，擁有較好的畫面品質。

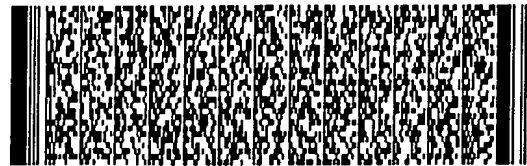
請參閱圖五 A、圖五 B 及圖七，圖七為圖五 A 及圖五 B 所示之單點反向驅動的電壓示意圖。對同一列 48 上的像素 50、52、54、56 而言，其極性分別為 "正"、"負"、"正"、"負"，所以使用一 A 級輸出緩衝器 (class-A OP buffer) 來驅動像素 50、54，因為對於同一正極性驅動電壓的像素



五、發明說明 (6)

50、52，可使用 A 級輸出緩衝器來推 (push) 其電壓，同樣地，必須使用另一 A 級輸出緩衝器 (class-A OP buffer) 來驅動像素 52、56，因為對於同一負極性驅動電壓的像素 54、56，可使用 A 級輸出緩衝器來拉 (pull) 其電壓，所以習知單點反向驅動必須使用一 A 級輸出緩衝器來負責驅動正極性的像素，以及另一 A 級輸出緩衝器來負責驅動負極性的像素。

請參閱圖六 A、圖六 B 及圖八，圖八為圖六 A 及圖六 B 所之雙點反向驅動的電壓示意圖。對同一列 48 上的像素 50、52、54、56 而言，其極性分別為 "正"、"正"、"負"、"負"，所以必須使用一 AB 級輸出緩衝器 (class-AB OP buffer) 來驅動像素 50、52，因為於同一正極性中需要分別對像素 50、52 的驅動電壓進行推 (push) 及拉 (pull) 的動作。同樣地，必須使用另一 AB 級輸出緩衝器 (class-AB OP buffer) 來驅動像素 54、56，因為於同一負極性中需要分別對像素 54、56 的驅動電壓進行推 (push) 及拉 (pull) 的動作，所以習知雙點反向驅動必須使用一 AB 級輸出緩衝器來負責驅動正極性的像素，以及另一 AB 級輸出緩衝器來負責驅動負極性的像素。如上所述，於單點反向驅動的模式下，習知薄膜電晶體液晶顯示器 10 使用 A 級輸出緩衝器來驅動，但是於雙點反向驅動的模式下，則必須使用 AB 級輸出緩衝器，因此，習知薄膜電晶體液晶顯示器 10 無法於雙點反向驅動的模式下，僅使用 A 級輸出



五、發明說明 (7)

緩衝器來驅動。

發明概述

因此，本發明的主要目的在於提供一種驅動液晶顯示器的方法，以使 A 級輸出放大器可用來於多點反向驅動模式中驅動像素，不但具有精簡的架構，而且又有良好的驅動效率。

本發明之申請專利範圍提供一種液晶顯示器之驅動方法，該液晶顯示器包含一液晶顯示面板用來顯示複數個以矩陣排列之像素，一正向輸出緩衝器用來以正電壓驅動複數個像素，一負向輸出緩衝器用來以負電壓驅動複數個像素，一感測器用來接收水平同步訊號及極性訊號並比較該極性訊號於二連續水平同步訊號的狀態，以及一控制電路連接於該感測器及該二輸出緩衝器之間，用來依據該感測器之輸出控制該二輸出緩衝器之操作。當該感測器偵測到該極性訊號的狀態於二連續水平同步訊號之間沒有改變時，則使用該控制電路控制該二輸出緩衝器中之一輸出緩衝器對該二水平同步訊號對應於該液晶顯示面板上之不同行但卻同一列之兩相鄰像素施以相同極性之電壓以使該正向輸出緩衝器得以持續地以正電壓驅動複數個像素，以及該負向輸出緩衝器得以持續地以負電壓驅動複數個像素。而當該感測器偵測到該極性訊號的狀態於二連續水平同步



五、發明說明 (8)

訊號之間有所改變時，則使用該控制電路控制該二輸出緩衝器對該二水平同步訊號對應於該液晶顯示面板上之不同行但卻同一列之兩相鄰像素施以相反極性之電壓。

發明之詳細說明

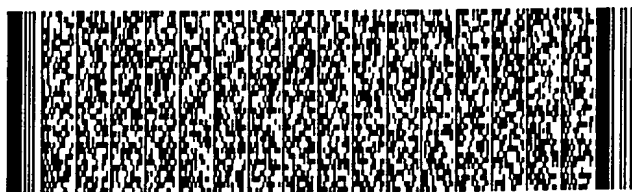
請參閱圖九至圖十一，圖九為本發明液晶顯示器之驅動電路 60 的功能方塊示意圖，圖十為習知單點反向驅動之極性訊號 74 與水平同步訊號 76 之波形圖，而圖十一為習知雙點反向驅動之極性訊號 74 與水平同步訊號 76 之波形圖。驅動電路 60 包含一感測器 61、一控制電路 68、一正向輸出緩衝器 70，及一負向輸出緩衝器 72。感測器 61 包含有第一鎖定位電路 (latch circuitry) 62、一第二鎖定位電路 64 以及一邏輯電路 (logic circuitry) 66，其中第一鎖定位電路 62 依據一極性訊號 (polarity signal) 74 以及一水平同步訊號 (horizontal synchronization signal) 76 產生第一輸出訊號 78，而第二鎖定位電路 64 係依據水平同步訊號 76 及第一輸出訊號 78 產生第二輸出訊號 80，其中極性訊號 74 係對應於液晶顯示面板上像素之極性狀態。此外，邏輯電路 66 會依據第一輸出訊號 78 與第二輸出訊號 80 經由邏輯運算之後的結果而驅動控制電路 68，使控制電路 68 控制正向輸出緩衝器 70 及負向輸出緩衝器 72 對液晶顯示器以單點反向驅動或雙點反向驅動的模式來驅動液晶顯示面板上各個像素。本實施例中，邏輯電路 66 係運用排除或



五、發明說明 (9)

(exclusive-OR) 的運算方法來對第一輸出訊號 78 與第二輸出訊號 80 作邏輯運算，如圖十所示，當第一週期 86 時，極性訊號 74 為 "1"，同時水平同步訊號 76 為 "1" 並觸發第一鎖定電路 62 而使第一輸出訊號 78 鎖定為 "1"，然而進入第二週期 88 時，極性訊號 74 為 "0"，而水平同步訊號 76 為 "1" 並同時觸發第一鎖定電路 62 與第二鎖定電路 64，由於第一週期 86 時，第一輸出訊號 78 鎖定為 "1"，因此使第二輸出訊號 80 鎖定為 "1" (第一輸出訊號 78 為 "1" 及水平同步訊號 76 為 "1") 而第一輸出訊號 78 鎖定為 "0" (極性訊號 74 為 "0" 及水平同步訊號 76 為 "1")，邏輯電路 66 接收到第一輸出訊號 78 為 "1" 及第二輸出訊號 80 為 "0" 時，邏輯電路 66 會輸出 "1" 而使液晶顯示器以單點反向驅動的模式驅動各個像素。

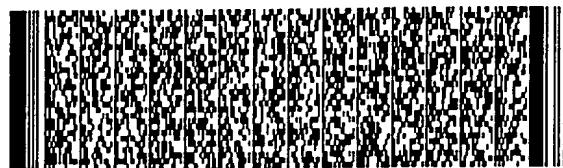
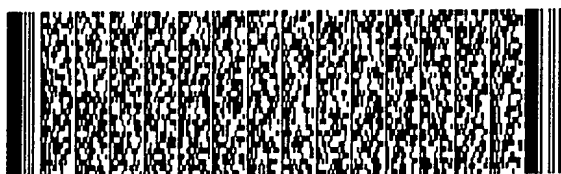
同樣地，如圖十一所示，當第一週期 86 時，極性訊號 74 為 "1"，同時水平同步訊號 76 為 "1" 並觸發第一鎖定電路 62 而使第一輸出訊號 78 鎖定為 "1"，然而進入第二週期 88 時，極性訊號 74 為 "1"，而水平同步訊號 76 為 "1" 並同時觸發第一鎖定電路 62 與第二鎖定電路 64，由於第一週期 86 時，第一輸出訊號 78 鎖定為 "1"，因此使第二輸出訊號 80 鎖定為 "1" (第一輸出訊號 78 為 "1" 及水平同步訊號 76 為 "1") 而第一輸出訊號 78 鎖定為 "1" (極性訊號 74 為 "1" 及水平同步訊號 76 為 "1")，邏輯電路 66 接收到第一輸出訊號 78 為 "1" 及第二輸出訊號 80 為 "1" 時，邏輯電路 66 會輸出



五、發明說明 (10)

"0"而使液晶顯示器以雙點反向驅動的模式驅動各個像素。請注意，本實施例中，正向輸出緩衝器 70及負向輸出緩衝器 72均為 A 級輸出緩衝器 (class-A OP buffer)，分別以正極性及負極性來驅動相對應的像素，此外正向輸出緩衝器 70包含有一電壓隨耦器 (source follower) 82用來提供一預定正準位 V_a ，而負向輸出緩衝器 72包含有一電壓隨耦器 84用來提供一預定負準位 V_b ，而使 A 級輸出緩衝器能應用於雙點反向驅動的模式，其中預定正準位 V_a 為於正極性狀態下驅動像素所需的最小電壓，而預定負準位 V_b 於負極性狀態下驅動像素所需的最大電壓。

請參閱圖五 A、圖五 B 及圖十二，圖十二為圖九所示之驅動電路 60 於單點反向驅動模式下的輸出電壓示意圖。週期 90 時，負向輸出緩衝器 72 之電壓隨耦器 84 使像素 52 的電壓為預定負準位 V_b ，週期 92 時由負向輸出緩衝器 72 將像素 52 的電壓由該預定負準位 V_b 向下拉 (pull) 至目標準位，週期 94 時，正向輸出緩衝器 70 之電壓隨耦器 82 使像素 54 的電壓為預定正準位 V_a ，週期 96 時由正向輸出緩衝器 70 將像素 54 的電壓由該預定正準位 V_a 向上推 (push) 至目標準位，而當週期 98 時，負向輸出緩衝器 72 之電壓隨耦器 84 使像素 56 的電壓為預定負準位 V_b ，週期 100 時由負向輸出緩衝器 72 將像素 56 的電壓由該預定負準位 V_b 向下拉 (pull) 至目標準位，如上所述，電壓隨耦器 82 用來將像素電壓嵌制於預定正準位 V_a ，然後經由正向輸出緩衝器 70 將像素電



五、發明說明 (11)

壓由該預定正準位 V_a 向上推 (push) 至目標準位，而電壓隨耦器 84 用來將像素電壓嵌制於預定負準位 V_b ，然後負向輸出緩衝器 72 將像素電壓由該預定負準位 V_b 向下拉 (pull) 至目標準位。

本實施例中，亦可應用習知單點反向驅動模式的驅動方法，於單點反向驅動模式中，不需使用電壓隨耦器 82 來將像素電壓嵌制於預定正準位 V_a 及電壓隨耦器 84 來將像素電壓嵌制於預定負準位 V_b ，僅使用正向輸出緩衝器 70 來負責驅動正極性的像素 50、54，以及負向輸出緩衝器 72 來負責驅動負極性的像素 52、56，亦可達到單點反向驅動的效果。

請參閱圖十三，圖十三為圖九所示之驅動電路 60 於雙點反向驅動模式下的輸出電壓示意圖。進入週期 90，正向輸出緩衝器 70 之電壓隨耦器 82 使像素 50 的電壓嵌制於預定正準位 V_a ，週期 92 時由正向輸出緩衝器 70 將像素 50 的電壓由該預定正準位 V_a 向上推 (push) 至目標準位，週期 94 時，正向輸出緩衝器 70 之電壓隨耦器 82 使像素 52 的電壓嵌制於預定正準位 V_a ，週期 96 時由正向輸出緩衝器 70 將像素 52 的電壓由該預定正準位 V_a 向上推至目標準位，而當週期 98 時，負向輸出緩衝器 72 之電壓隨耦器 84 使像素 54 的電壓嵌制於預定負準位 V_b ，當週期 100 時，由負向輸出緩衝器 72 將像素 54 的電壓由該預定負準位 V_b 向下拉 (pull) 至目



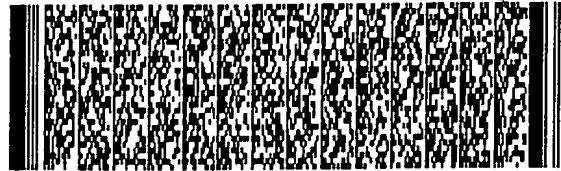
五、發明說明 (12)

標準位，如上所述，電壓隨耦器 82 用來將像素電壓嵌制於預定正準位 V_a ，然後經由正向輸出緩衝器 70 將像素電壓由該預定正準位 V_a 向上推 (push) 至目標準位，而電壓隨耦器 84 用來將像素電壓嵌制於預定負準位 V_b ，然後負向輸出緩衝器 72 將像素電壓由該預定負準位 V_b 向下拉 (pull) 至目標準位，所以透過電壓隨耦器 82 與電壓隨耦器 84 可解決正向輸出緩衝器 70 與負向輸出緩衝器 72 本身無法如同 AB 級輸出緩衝器一般，同時對像素電壓進行推挽

(push-pull) 的運作。所以，於雙點反向驅動模式下，實施例係以正向輸出緩衝器 70 及負向輸出緩衝器 72 (兩者皆為 A 級輸出緩衝器) 及相對應的電壓隨耦器 82 及電壓隨耦器 84 來達到雙點反向驅動的效果，此外，本發明亦可應用於多點反向驅動 (N-dot line inversion, $N \geq 2$) 的模式。

相較於習知技術，本發明液晶顯示器之驅動電路利用電壓隨耦器來提供預定正準位及預定負準位，而使用兩 A 級輸出緩衝器來分別驅動正極性的像素與負極性的像素，因此使 A 級輸出緩衝器的架構得以應用於多點反向驅動的模式，而且本發明液晶顯示器之驅動電路亦擁有 A 級輸出緩衝器所具有的精簡架構及良好驅動能力 (power efficiency) 等優點。

以上所述僅為本發明之較佳實施例，凡依本發明申請



五、發明說明 (13)

專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知薄膜電晶體液晶顯示器的示意圖。

圖二為圖一所示之第二電壓產生器的電壓輸出示意圖。

圖三 A及圖三 B為習知行反向驅動的示意圖。

圖四 A及圖四 B為習知列反向驅動的示意圖。

圖五 A及圖五 B為習知單點反向驅動的示意圖。

圖六 A及圖六 B為習知雙點反向驅動的示意圖。

圖七為圖五 A及圖五 B所示之單點反向驅動的電壓示意圖。

圖八為圖六 A及圖六 B所示之雙點反向驅動的電壓示意圖。

圖九為本發明液晶顯示器之驅動電路的功能方塊示意圖。

圖十為習知單點反向驅動之極性訊號與水平同步訊號之波形圖。

圖十一為習知雙點反向驅動之極性訊號與水平同步訊號之波形圖。

圖十二為圖九所示之驅動電路於單點反向驅動模式下的輸出電壓示意圖。

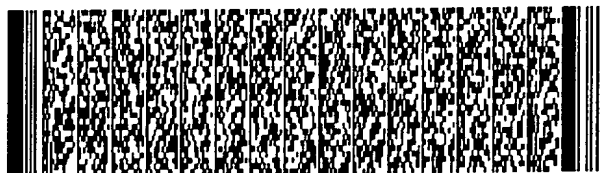
圖十三為圖九所示之驅動電路於雙點反向驅動模式下的輸出電壓示意圖。



圖式簡單說明

圖式之符號說明

10	液晶顯示器	12	液晶顯示面板
14	控制電路	16	第一驅動電路
18	第二驅動電路	20	第一電壓產生器
22	第二電壓產生器	24	第一導線
26	第二導線	28	薄膜電晶體
30	等效電容	32	水平同步訊號
34	垂直同步訊號	36	顯示資料
42	第一畫面	44	第二畫面
46、50、52、54、56			像素
60	驅動電路	61	感測器
62	第一鎖定位電路	64	第二鎖定位電路
66	邏輯電路	68	控制電路
70	正向輸出緩衝器	72	負向輸出緩衝器
74	極性訊號	76	水平同步訊號
78	第一輸出訊號	80	第二輸出訊號



六、申請專利範圍

1. 一種液晶顯示器之驅動方法，該液晶顯示器包含：
一液晶顯示面板，用來顯示複數個以矩陣排列之像素；
一正向輸出緩衝器，用來以正電壓驅動複數個像素；
一負向輸出緩衝器，用來以負電壓驅動複數個像素；
一感測器，用來接收水平同步訊號及極性訊號並比較該極性訊號於二連續水平同步訊號的狀態；以及
一控制電路，連接於該感測器及該二輸出緩衝器之間，用來依據該感測器之輸出控制該二輸出緩衝器之操作；

該方法包含：

當該感測器偵測到該極性訊號的狀態於二連續水平同步訊號之間沒有改變時，則使用該控制電路控制該二輸出緩衝器中之一輸出緩衝器對該二水平同步訊號對應於該液晶顯示面板上之不同行但卻同一列之兩相鄰像素施以相同極性之電壓以使該正向輸出緩衝器得以持續地以正電壓驅動複數個像素，以及該負向輸出緩衝器得以持續地以負電壓驅動複數個像素；以及

當該感測器偵測到該極性訊號的狀態於二連續水平同步訊號之間有所改變時，則使用該控制電路控制該二輸出緩衝器對該二水平同步訊號對應於該液晶顯示面板上之不同行但卻同一列之兩相鄰像素施以相反極性之電壓。

2. 如申請專利範圍第1項所述之方法，其中該正向輸出



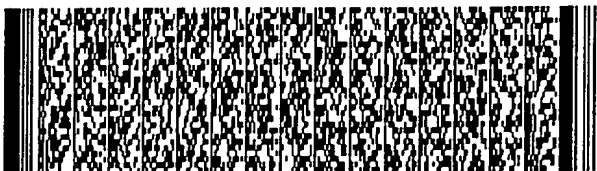
六、申請專利範圍

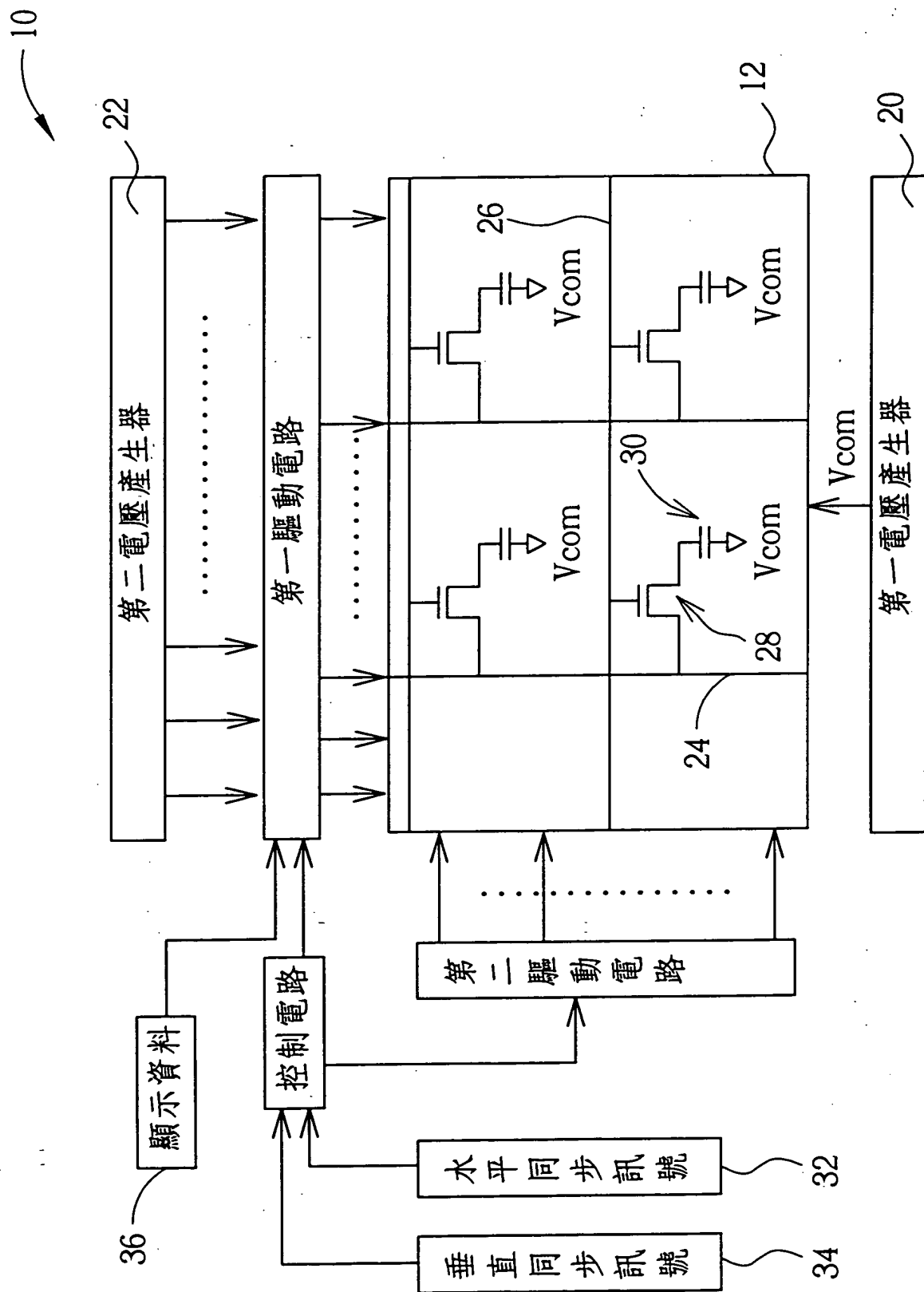
緩衝器會於驅動每一像素前將其輸出電壓回歸到一預定正準位，該負向輸出緩衝器會於驅動每一像素前將其輸出電壓回歸到一預定負準位。

3. 如申請專利範圍第2項所述之方法，其中該正向輸出緩衝器及該負向輸出緩衝器分別包含一電壓隨耦器 (source follower)，該正向輸出緩衝器之電壓隨耦器係用來提供該預定正準位，該負向輸出緩衝器之電壓隨耦器係用來提供該預定負準位。

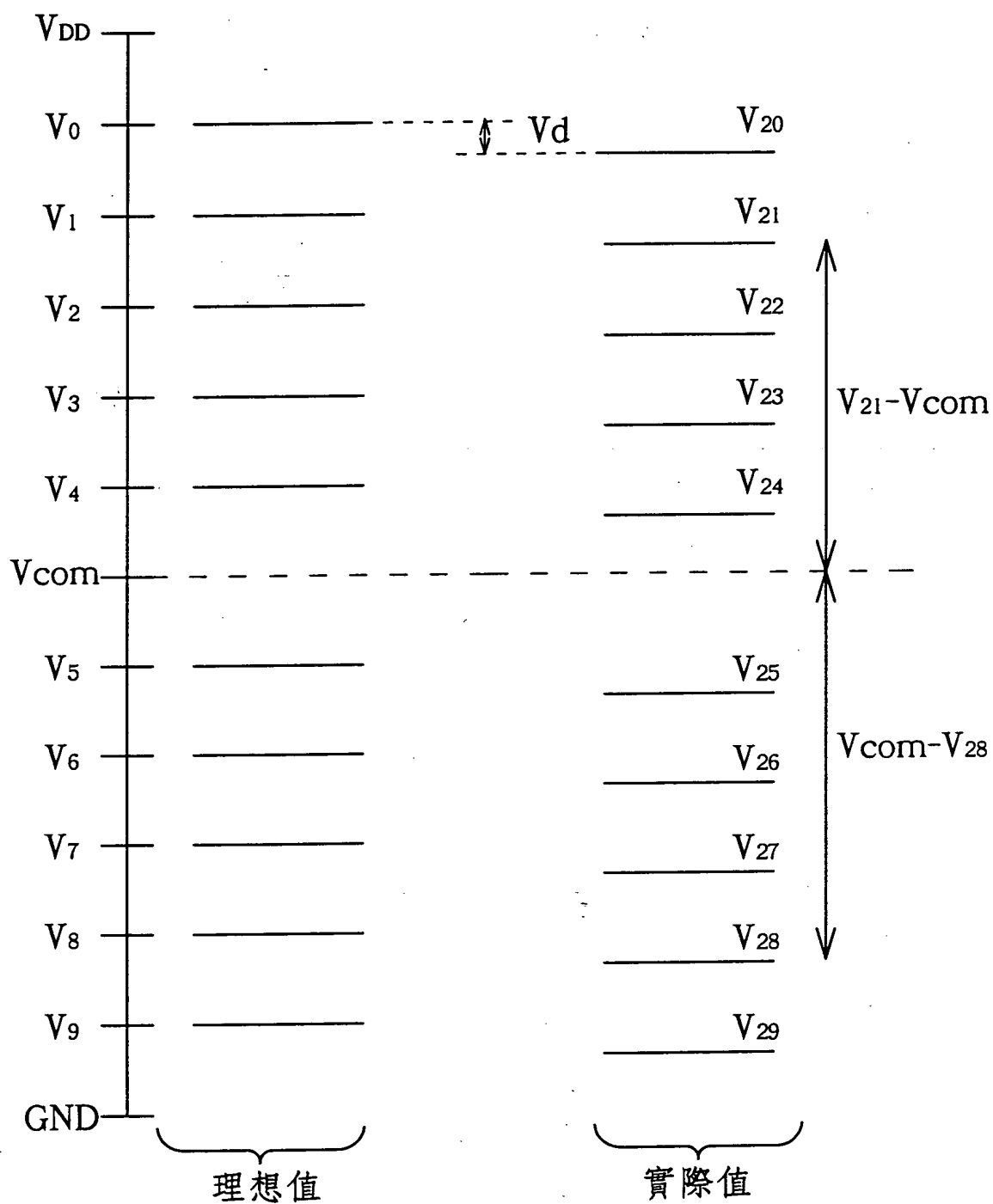
4. 如申請專利範圍第1項所述之方法，其中該感測器包含二鎖定電路，用來鎖定該極性訊號於該二連續水平同步訊號之狀態，以及一邏輯電路，用來比較該極性訊號於該二連續水平同步訊號的狀態。

5. 如申請專利範圍第1項所述之方法，其中該正向輸出緩衝器及該負向輸出緩衝器均為A級輸出緩衝器 (class-A OP buffer)。

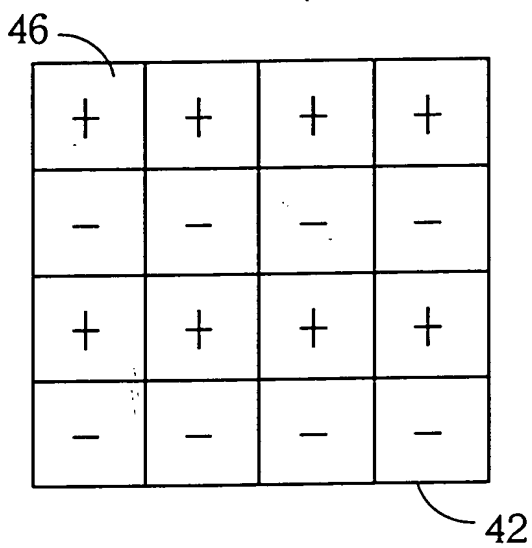




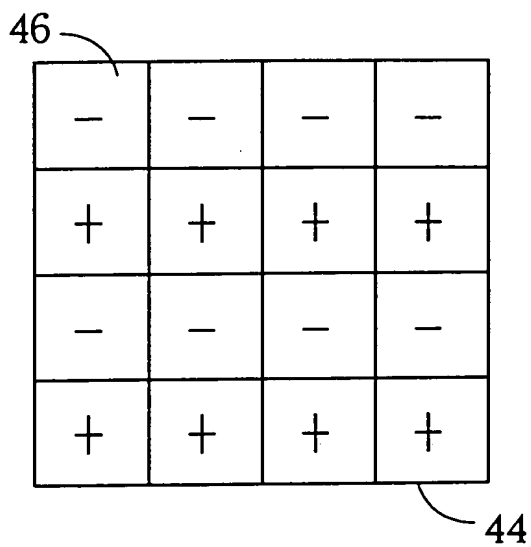
圖一



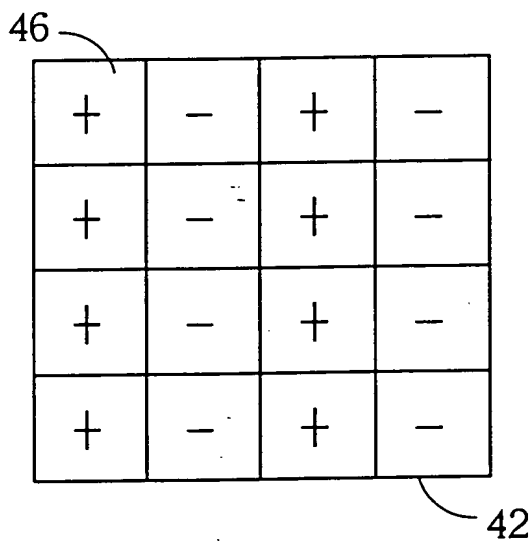
圖二



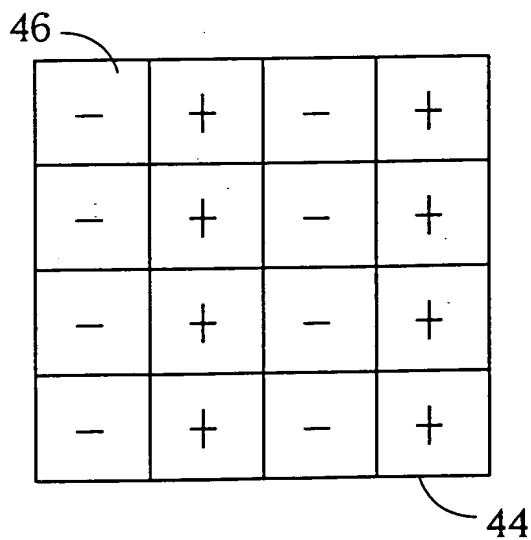
圖三A



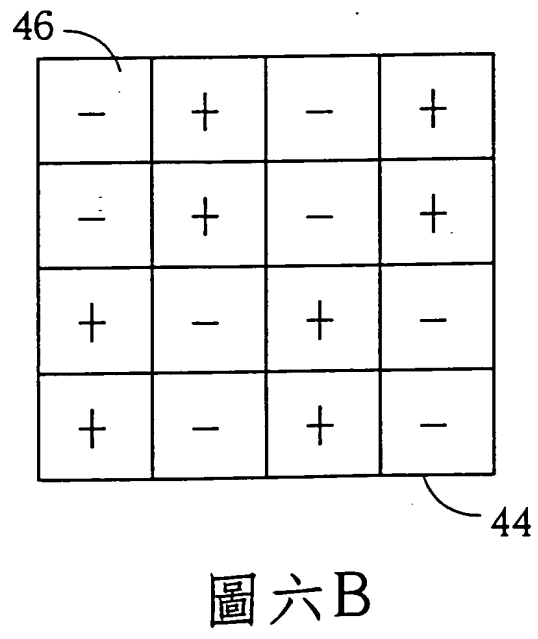
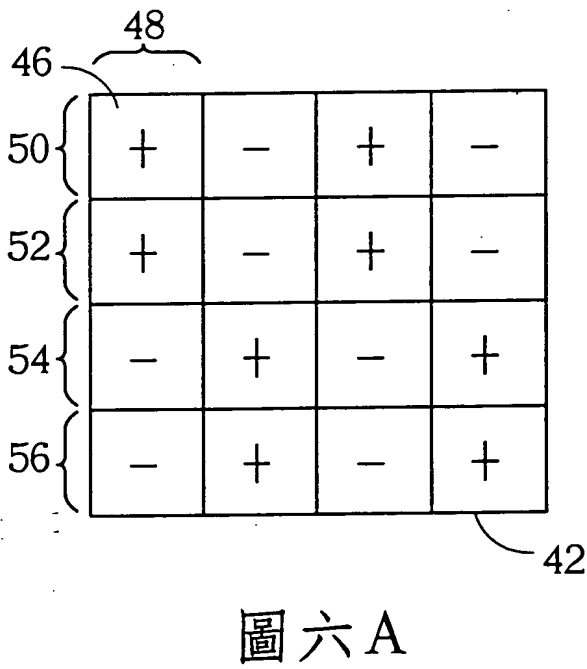
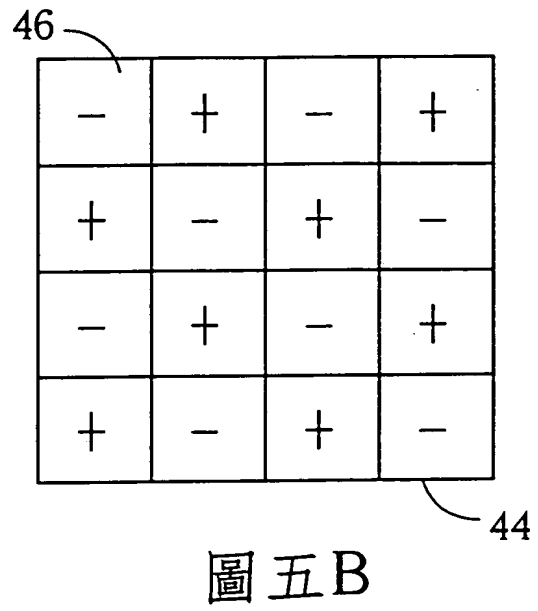
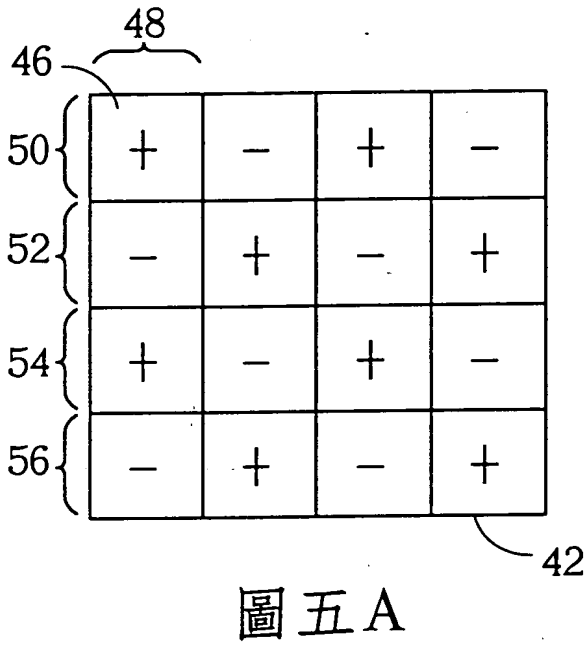
圖三B

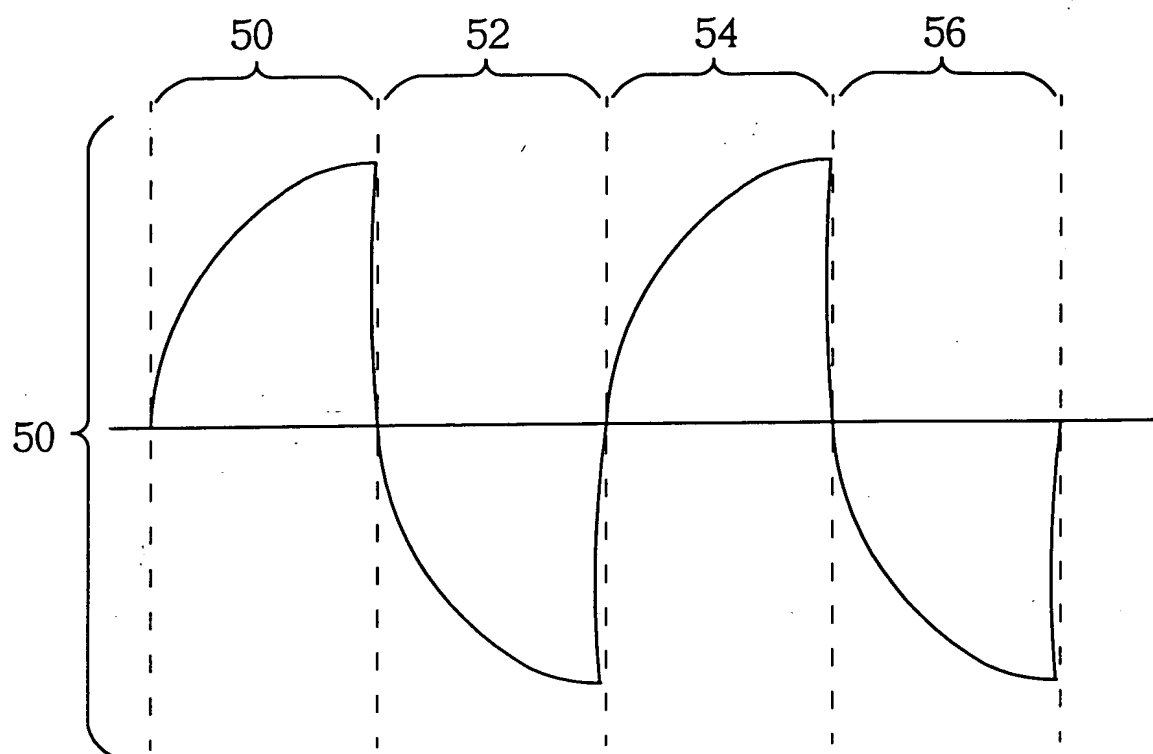


圖四A

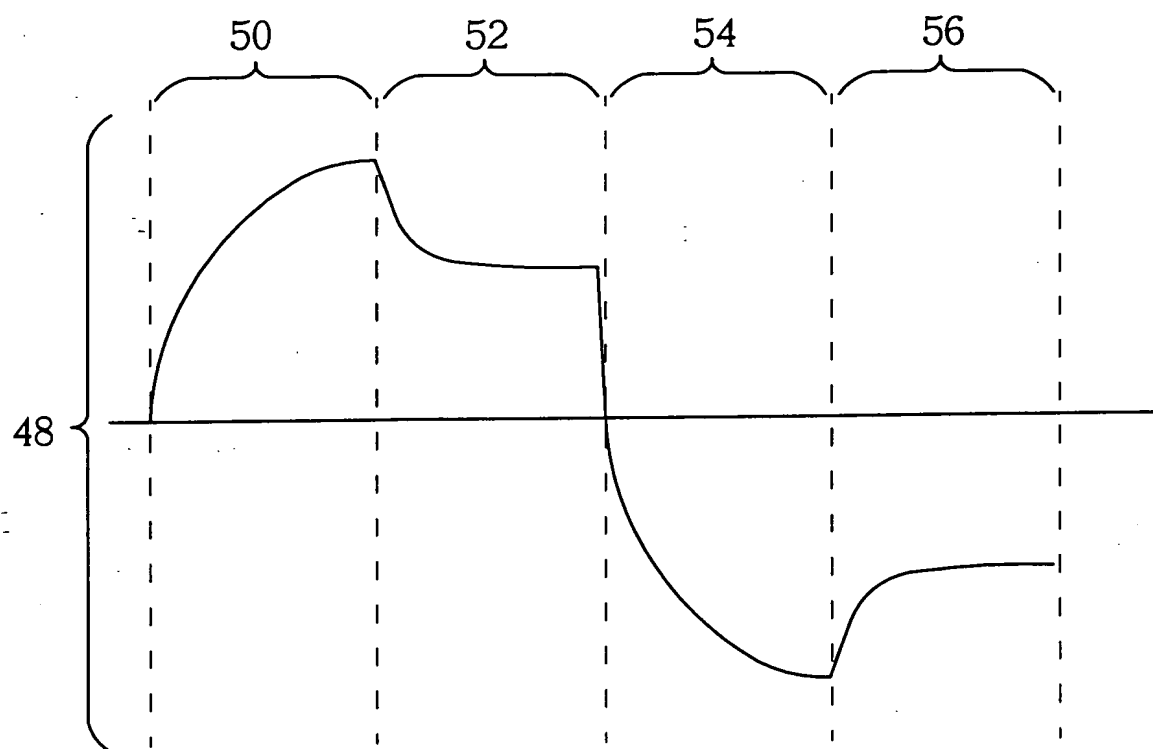


圖四B

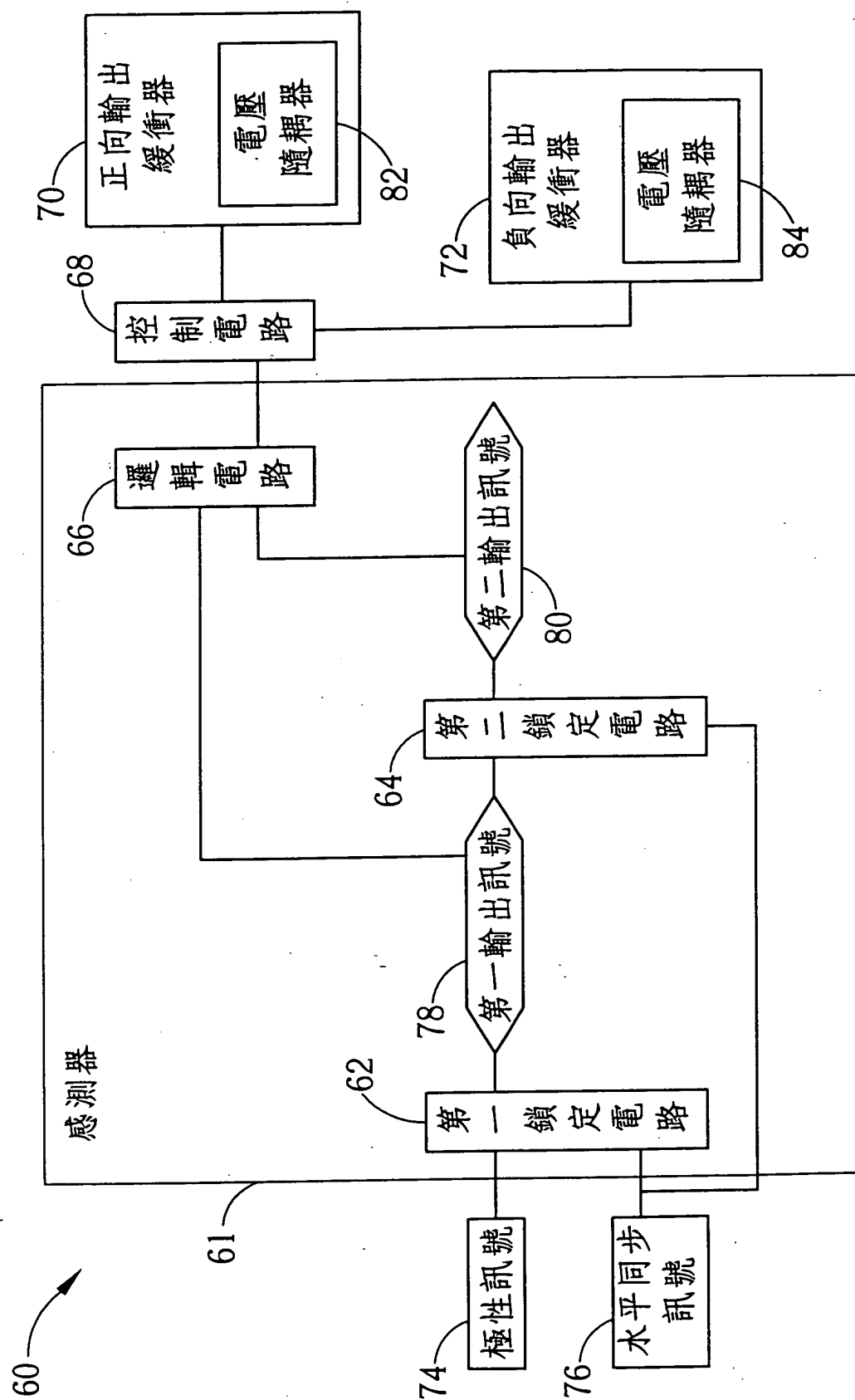




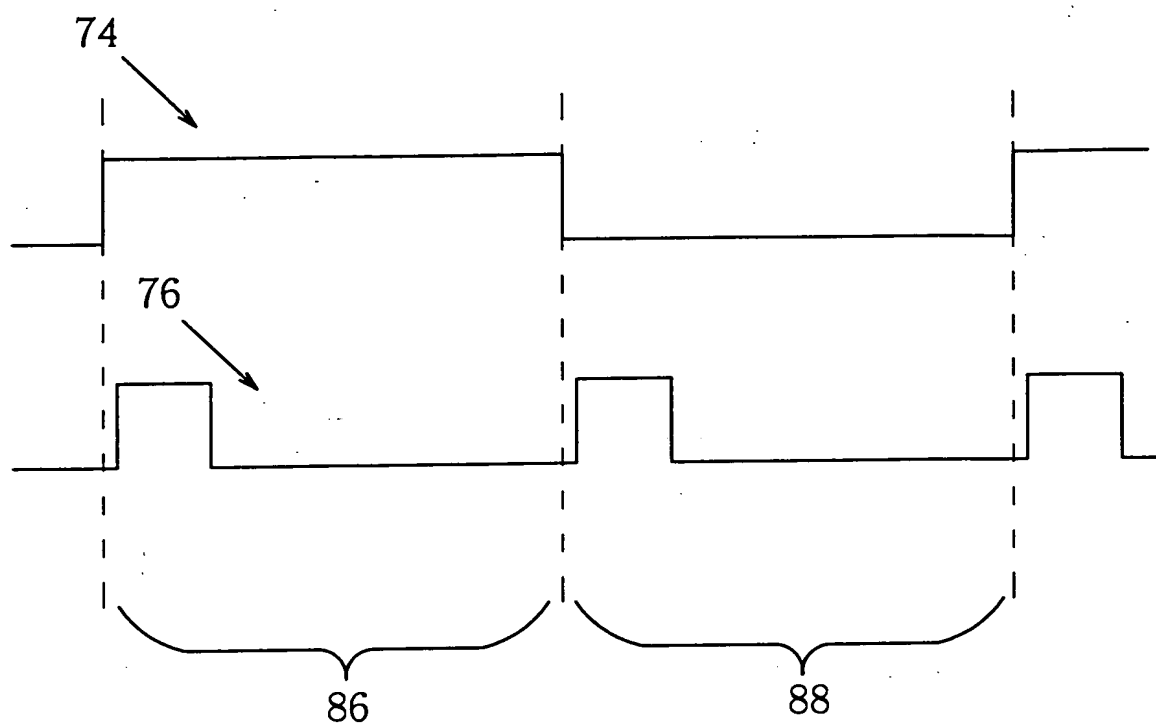
圖七



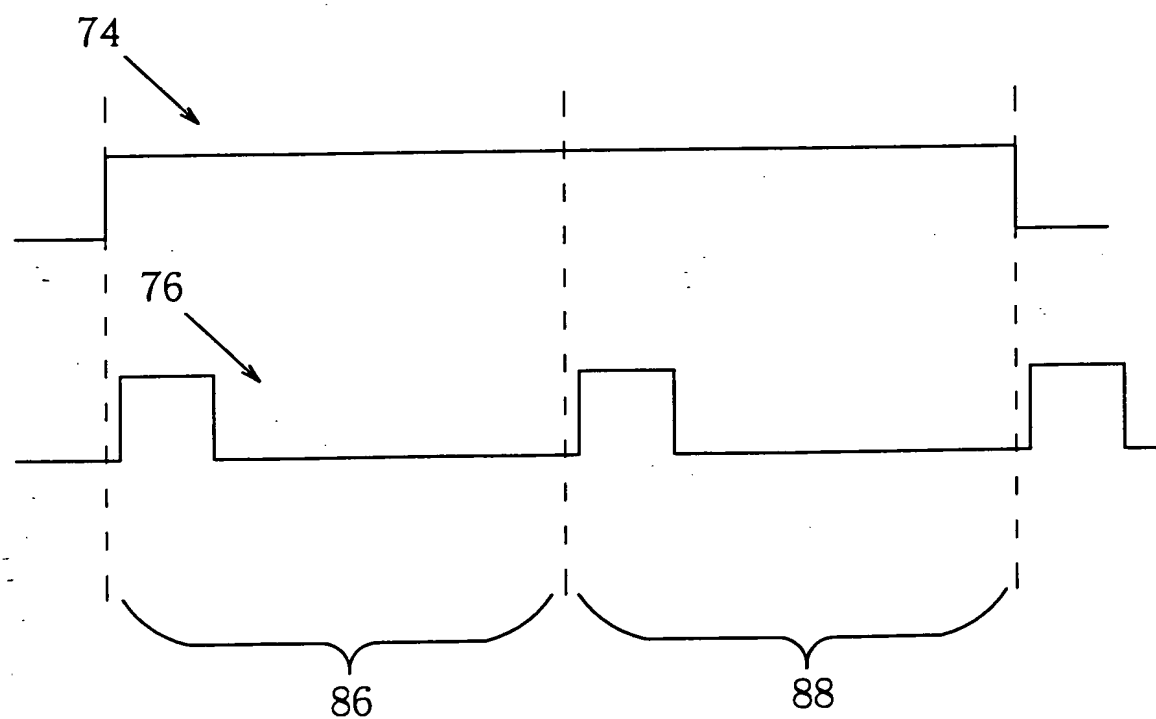
圖八



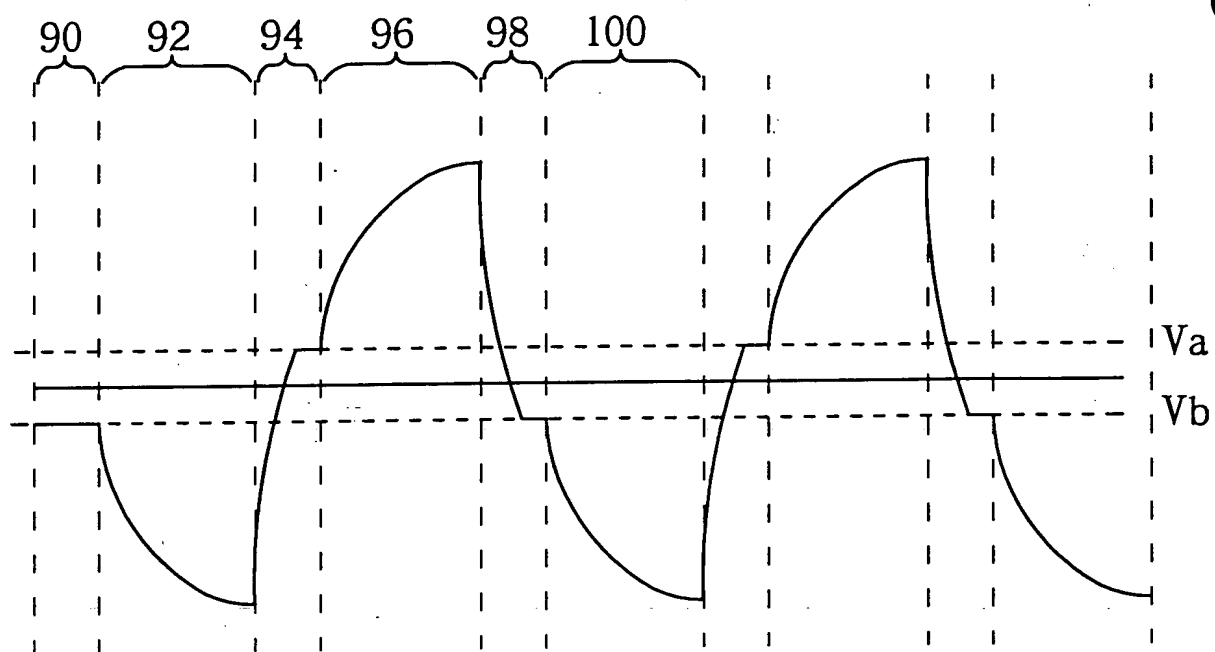
圖九



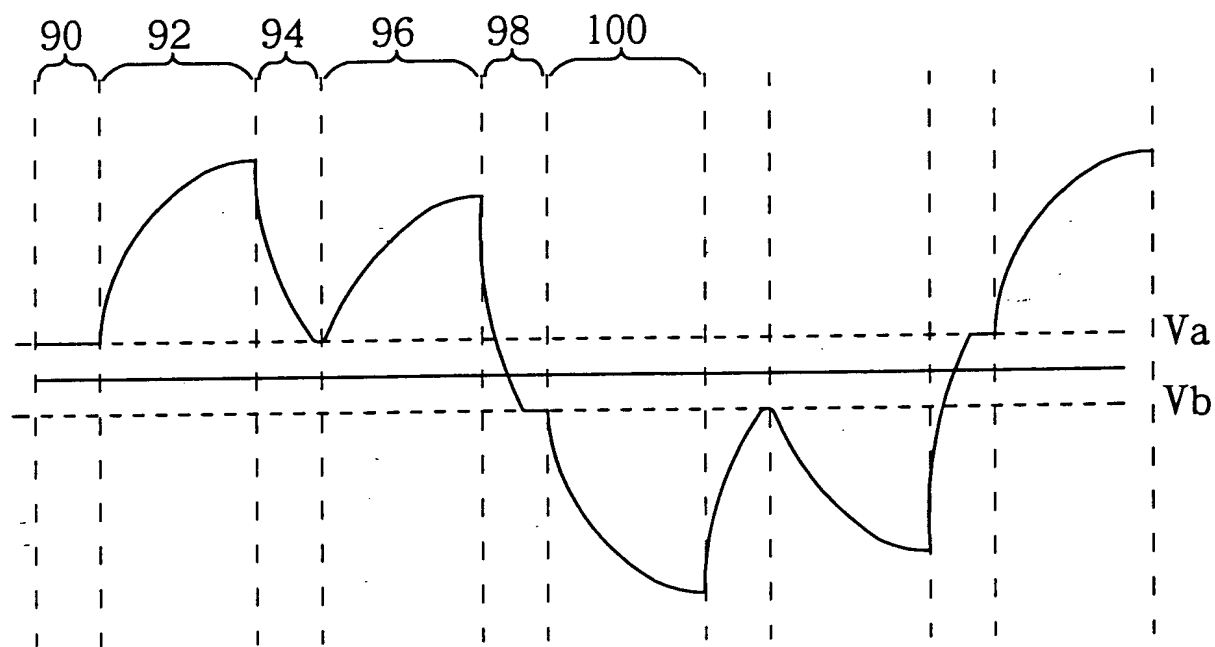
圖十



圖十一

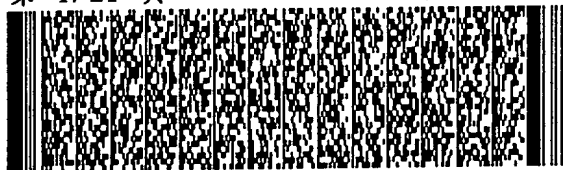


圖十二

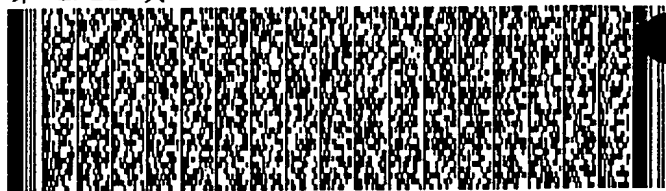


圖十三

第 1/21 頁



第 2/21 頁



第 3/21 頁



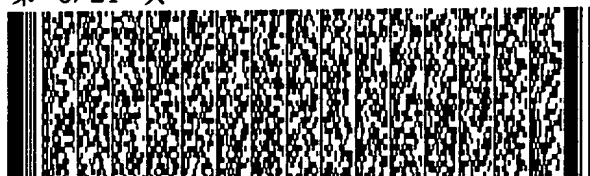
第 5/21 頁



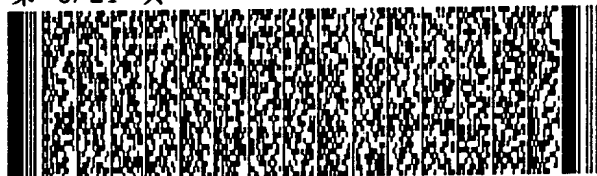
第 5/21 頁



第 6/21 頁



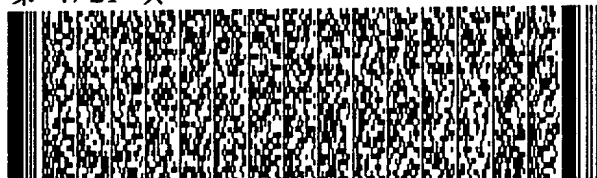
第 6/21 頁



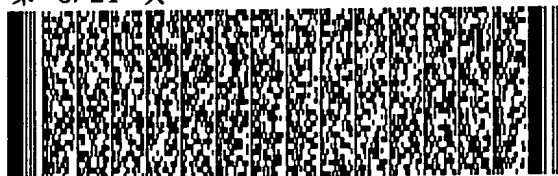
第 7/21 頁



第 7/21 頁



第 8/21 頁



第 8/21 頁



第 9/21 頁



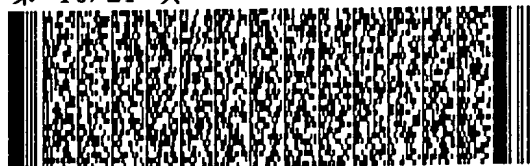
第 9/21 頁



第 10/21 頁



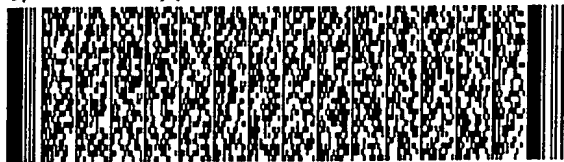
第 10/21 頁



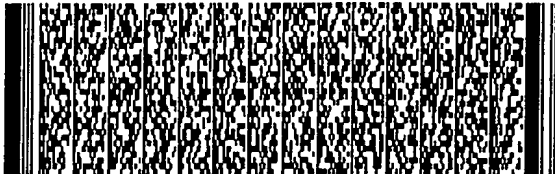
第 11/21 頁



第 11/21 頁



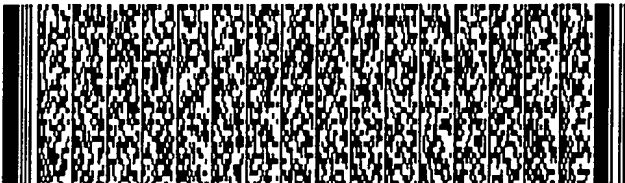
第 12/21 頁



第 12/21 頁



第 13/21 頁



第 14/21 頁



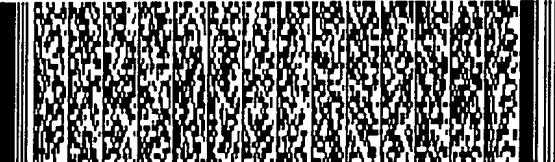
第 14/21 頁



第 15/21 頁



第 16/21 頁



第 16/21 頁



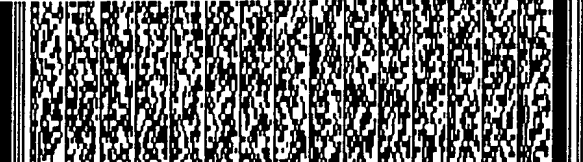
第 17/21 頁



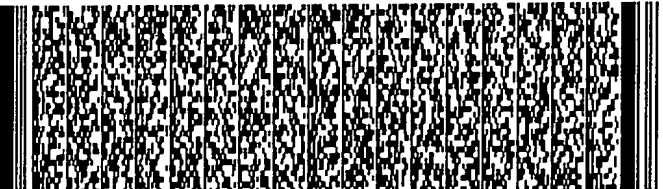
第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

